



ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **83412** (13) **U**
(51) МПК (2013.01)
H03M 7/00

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки:	u 2013 02779	(72) Винахідник(и):	Кулик Ігор Анатолійович (UA), Скордіна Олена Михайлівна (UA), Костель Сергій Вікторович (UA)
(22) Дата подання заявки:	05.03.2013	(73) Власник(и):	Сумський державний університет, вул. Римського-Корсакова, 2, м. Суми, 40007 (UA)
(24) Дата, з якої є чинними права на корисну модель:	10.09.2013		
(46) Публікація відомостей про видачу патенту:	10.09.2013, Бюл.№ 17		

(54) ПЕРЕТВОРЮВАЧ КОДУ

(57) Реферат:

Перетворювач кодів, що містить вхідну шину і n розрядів, кожен з яких містить тригер, два елементи І, перший елемент АБО, елемент НІ і суматор, а в розряди з другого по k -й, де k - контрольне число менше числа розрядів, але більше нуля, введений другий елемент АБО, перша група входів суматора з'єднана з прямим і інверсним виходами тригера, входи установки в одиницю і в нуль якого з'єднані відповідно з виходами першого і другого елементів І, перший вхід другого елемента І з'єднаний з входом елемента НІ, вихід якого з'єднаний з першим входом першого елемента І, другі входи першого і другого елементів І кожного розряду, починаючи з $(k+1)$ -го, з'єднані з виходом другого елемента І попереднього розряду, друга група входів суматора якого з'єднана з виходами суматора подальшого розряду, вхідна шина з'єднана з другими входами першого і другого елементів І першого розряду. У кожному розряді перший і другий входи, а також вихід першого елемента АБО з'єднані відповідно з прямим виходом тригера, виходом суматора, що відповідає k -му числу, і з входом елемента НІ, вихід другого елемента АБО з'єднаний з другим входом першого елемента І, третій вхід якого з'єднаний з вхідною шиною, перший вхід другого елемента АБО з'єднаний з виходом другого елемента І попереднього розряду, виходи суматора першого розряду, відповідні числам з "0" по $(k-1)$, з'єднані відповідно з другими входами других елементів АБО з k -го розряду по другий і з третім входом першого елемента І першого розряду, крім того додатково введені перетворювач паралельного коду в послідовний, інформаційні входи якого, з'єднані з другою групою входів суматора першого розряду відповідно, лічильник нулів та лічильник кількості розрядів, перші входи яких з'єднані з виходом перетворювача паралельного коду в послідовний, вихід лічильника нулів з'єднаний з керуючими входами перетворювача паралельного коду в послідовний та лічильника кількості розрядів, дешифратор, на входи 1, 2, ..., f -й, де $f = \log_2[n]$, якого заведені відповідно 1, 2, ..., f -й виходи лічильника кількості розрядів, група $(k-2)$ -х елементів АБО, на перший вхід першого елемента АБО цієї групи заведений вихід дешифратора $(n-k+1)$, на другі входи цієї групи елементів АБО заведені $(n-k+2)$, $(n-k+3)$, ..., n -й виходи дешифратора відповідно, а виходи кожного попереднього елемента групи $(k-2)$ -х елементів АБО з'єднані з першими входами подальших елементів АБО цієї групи відповідно, група $(k-1)$ елементів ВИКЛЮЧНЕ-АБО, на перші входи яких заведені друга група входів суматора першого розряду відповідно, а на другі входи, починаючи з другого елемента цієї групи елементів ВИКЛЮЧНЕ-АБО заведені виходи групи $(k-2)$ -х елементів АБО відповідно, тоді як на другий вхід першого елемента ВИКЛЮЧНЕ-АБО заведений $(n-k+1)$ -й вихід дешифратора, регістр, входи 1', 2', ..., i , ..., $(k-1)$ -й якого з'єднані з виходами групи елементів ВИКЛЮЧНЕ-АБО відповідно та на 1, 2, ..., j , ..., $(n-k+1)$ -й входи якого заведені 1, 2, ..., j , ..., $(n-k+1)$ -й виходи другої групи входів суматора першого розряду, а вихід регістра є виходом пристрою.

UA 83412 U

Корисна модель належить до автоматики і обчислювальної техніки і може бути використана в пристроях дискретної обробки інформації, зокрема пристроях завадостійкого кодування інформації з використанням квазірівноважного коду.

Відомий лічильник імпульсів (А. с. СССР №1077054, МПК Н03К 23/00, 1984) містить вхідну шину і n розрядів, кожен з яких містить тригер, два елементи І, перший елемент АБО, елемент НІ і суматор, а в розряді з другого по k -й введений другий елемент АБО, перша група входів суматора з'єднана з прямим і інверсним виходами тригера, входи установки в одиницю і в нуль якого з'єднані відповідно з виходами першого і другого елементів І, перший вхід другого елемента І з'єднаний з входом елемента НІ, вихід якого з'єднаний з першим входом першого елемента І, другі входи першого і другого елементів І кожного розряду, починаючи з $(k+1)$ -го, де k - контрольне число, менше числа розрядів, але більше нуля, з'єднані з виходом другого елемента І попереднього розряду, друга група входів суматора якого з'єднана з виходами суматора подальшого розряду, вхідна шина з'єднана з другими входами першого і другого елементів І першого розряду. У кожному розряді перший і другий входи, а також вихід першого елемента АБО з'єднані відповідно з прямим виходом тригера, виходом суматора, що відповідає k -му числу, і з входом елемента НІ, вихід другого елемента АБО з'єднаний з другим входом першого елемента І, третій вхід якого з'єднаний з вхідною шиною, перший вхід другого елемента АБО з'єднаний з виходом другого елемента І попереднього розряду, виходи суматора першого розряду, відповідні числам з "0" по $(k-1)$, з'єднані відповідно з другими входами других елементів АБО з k -го розряду по другий і з третім входом першого елемента І першого розряду.

Це пристрій найближчий до того, що заявляється, по технічній суті і результату, що досягається, тому вибраний за прототип.

Проте відоме технічне рішення формує комбінації біноміального коду, але не володіє здатністю формування комбінацій квазірівноважного коду на їх основі, оскільки не містить блоків контролю кількості одиниць та нулів.

В основу корисної моделі поставлено задачу удосконалення лічильника імпульсів шляхом введення нових елементів і нових зв'язків, за рахунок чого здійснюється генерування комбінацій квазірівноважного коду з параметрами n_k , k_1 , k_2 , що забезпечує розширення функціональних можливостей лічильника.

Поставлена задача вирішується тим, що у відомий лічильник імпульсів, що містить вхідну шину і n розрядів, кожен з яких містить тригер, два елементи І, перший елемент АБО, елемент НІ і суматор, а в розряді з другого по k -й, де k - контрольне число менше числа розрядів, але більше нуля, введений другий елемент АБО, перша група входів суматора з'єднана з прямим і інверсним виходами тригера, входи установки в одиницю і в нуль якого з'єднані відповідно з виходами першого і другого елементів І, перший вхід другого елемента І з'єднаний з входом елемента НІ, вихід якого з'єднаний з першим входом першого елемента І, другі входи першого і другого елементів І кожного розряду, починаючи з $(k+1)$ -го, з'єднані з виходом другого елемента І попереднього розряду, друга група входів суматора якого з'єднана з виходами суматора подальшого розряду, вхідна шина з'єднана з другими входами першого і другого елементів І першого розряду. У кожному розряді перший і другий входи, а також вихід першого елемента АБО з'єднані відповідно з прямим виходом тригера, виходом суматора, що відповідає k -му числу, і з входом елемента НІ, вихід другого елемента АБО з'єднаний з другим входом першого елемента І, третій вхід якого з'єднаний з вхідною шиною, перший вхід другого елемента АБО з'єднаний з виходом другого елемента І попереднього розряду, виходи суматора першого розряду, відповідні числам з "0" по $(k-1)$, з'єднані відповідно з другими входами других елементів АБО з k -го розряду по другий і з третім входом першого елемента І першого розряду, додатково введені перетворювач паралельного коду в послідовний, інформаційні входи якого з'єднані з другою групою входів суматора першого розряду відповідно, лічильник нулів та лічильник кількості розрядів, перші входи яких з'єднані з виходом перетворювача паралельного коду в послідовний, вихід лічильника нулів з'єднаний з керуючими входами перетворювача паралельного коду в послідовний та лічильника кількості розрядів, дешифратор, на входи 1, 2, ..., f -й, де $f = \log_2[n]$, якого заведені відповідно 1, 2, ..., f -й виходи лічильника кількості розрядів, група $(k-2)$ -х елементів АБО, на перший вхід першого елемента АБО цієї групи заведений вихід дешифратора $(n-k+1)$, на другі входи цієї групи елементів АБО заведені $(n-k+2)$, $(n-k+i)$, ..., n -й виходи дешифратора відповідно, а виходи кожного попереднього елемента групи $(k-2)$ -х елементів АБО з'єднані з першими входами подальших елементів АБО цієї групи відповідно, група $(k-1)$ -х елементів ВИКЛЮЧНЕ-АБО, на перші входи яких заведені друга група входів суматора першого розряду відповідно, а на другі входи починаючи з другого елемента цієї групи елементів ВИКЛЮЧНЕ-АБО заведені виходи групи $(k-2)$ -х елементів АБО відповідно, тоді як на другий вхід першого елемента ВИКЛЮЧНЕ-АБО заведений $(n-k+1)$ -й вихід дешифратора,

регістр, входи $1', 2', \dots, i, \dots, (k-1)$ -й якого з'єднані з виходами групи елементів ВИКЛЮЧНЕ-АБО відповідно та на $1, 2, \dots, j, \dots, (n-k+1)$ -й входи якого заведені $1, 2, \dots, j, \dots, (n-k+1)$ -й входи другої групи виходів суматора першого розряду, а вихід регістра є виходом пристрою.

Введення вищезгаданих елементів надає можливість розширити функціональні можливості пристрою, тому що, окрім генерування рівномірних біноміальних комбінацій з параметрами n та k з'являється здатність формування квазірівноважних комбінацій з параметрами n_k, k_1, k_2 , що реалізується за рахунок перетворення рівномірних біноміальних комбінацій у квазірівноважний код.

На кресленні наведений перетворювач коду, що з рівномірного біноміального коду з параметрами n та k отримує квазірівноважні комбінації з параметрами $n_k=n, k_1=k, k_2=k-1$.

Перетворювач коду містить перші елементи АБО 1.1-1.n, тригери 2.1-2.n, елементи НІ 3.1-3.n, перші елементи І 4.1-4.n, другі елементи І 5.1-5.n, другі елементи АБО 6.1-6.n, суматори 7.1-7.n, вхідну шину 8, перетворювач 9 паралельного коду в послідовний, лічильник 10 нулів, лічильник 11 кількості розрядів, дешифратор 12, групу елементів АБО 13.1-13.k-2, групу елементів ВИКЛЮЧНЕ-АБО 14.1-14.k-1, регістр 15, вихід 16 пристрою.

Перші групи входів суматорів 7.1-7.n з'єднані з прямим і інверсним виходами тригерів 2.1-2.n, входи установки в одиницю яких з'єднані відповідно з виходами перших елементів І 4.1-4.n, входи установки в нуль тригерів 2.1-2.n з'єднані відповідно з виходами других елементів І 5.1-5.n, перші входи других елементів І 5.1-5.n з'єднані відповідно з виходами перших елементів АБО 1.1-1.n, які також з'єднані з виходами елементів НІ 3.1-3.n, виходи яких з'єднані з першими входами перших елементів І 4.1-4.n, виходи других елементів І 5.1-5.j-1 з'єднані відповідно з першими входами других елементів АБО 6.1-6.j-1, а вихід елемент І 5.j з другим входом першого елемента І 4.j+1, також перші входи других елементів АБО 6.1-6.j-1 з'єднані відповідно з другими входами других елементів І 5.2-5.n, другі входи перших елементів І 4.2-4.j з'єднані відповідно з виходами других елементів АБО 6.1-6.j-1, вхідна шина 8 з'єднана з другим входом першого елемента І 4.1, з другим входом другого елемента І 5.1 із третіми входами перших елементів І 4.2-4.j, перші входи перших елементів АБО 1.1-1.n з'єднані відповідно з прямими виходами тригерів 2.1-2.n, другі входи перших елементів АБО 1.1-1.n з'єднані з виходами суматорів 7.1-7.n, що відповідають контрольному числу k , другі групи входів суматорів 7.1-7.j з'єднані відповідно з виходами суматорів 7.2-7.n, а виходи суматора 7.1 з інформаційними входами перетворювача 9 паралельного коду в послідовний, вихід якого з'єднаний з входом лічильника 10 нулів, вихід якого з'єднаний з другим входом перетворювача 9 паралельного коду в послідовний та другим входом лічильника 11 кількості розрядів, перший вхід якого з'єднано з виходом перетворювача 9 паралельного коду в послідовний, виходи $1, 2, \dots, f$ -й лічильника 11 кількості розрядів відповідно з'єднані з $1, 2, \dots, f$ -й входами дешифратора 12, $(n-k+1)$ -й вихід якого заведений на другий вхід елемента ВИКЛЮЧАЮЧЕ-АБО 14.1, а виходи $(n-k+2), \dots, (n-k+i), \dots, n$ -й заведені на другі входи елементів АБО 13.1-13.k-2 відповідно, тоді на перші входи елементів АБО 13.2-13.k-2 будуть заведені виходи елементів АБО 13.1-13.k-3 відповідно, тоді на перший вхід елемента АБО 13.i буде заведений вихід елемента АБО 13.1-1, а на другий вхід буде заведений $(n-k+i)$ -й вихід дешифратора 12, а вихід підключений до першого входу елемента АБО 13.i+1 та заведений на другий вхід елемента ВИКЛЮЧНЕ-АБО 14.i, виходи елементів АБО 13.1-13.k-2 заведені на другі входи елементів ВИКЛЮЧНЕ-АБО 14.2-14.k-1 відповідно, перші входи елементів ВИКЛЮЧНЕ-АБО 14.1-14.k-1 під'єднані до $1', 2', \dots, i, \dots, (k-1)$ -го виходів суматора 7.1, виходи елементів ВИКЛЮЧНЕ-АБО 14.1-14.k-1 під'єднані до $1', 2', \dots, i, \dots, (k-1)$ -го входів регістра 15 відповідно, на входи $1, \dots, j, \dots, (n-k+1)$ -й регістра 15 заведені виходи $1, \dots, j, \dots, (n-k+1)$ -й суматора 7.1, вихід 16 регістра 15 є виходом пристрою.

Перетворювач кодів працює таким чином.

В початковому стані всі тригери 2.1-2.n встановлені в нуль, тобто перетворювач кодів знаходиться у нульовому стані і на другій групі виходів суматора 7.1 міститься комбінація 0000...0, яка надходить на інформаційні входи перетворювача 9 паралельного коду в послідовний, після чого на виході перетворювача 9 з'являється починаючи зі старшого розряду рівномірна біноміальна комбінація з параметрами n і k , довжина комбінації рівна n , вона надходить на вхід лічильника 10 нулів, який підраховує кількість нулів у послідовності і має модуль лічби $(n-k+1)$, та на перший вхід лічильника 11 кількості розрядів, який підраховує кількість розрядів біноміальної комбінації і має модуль лічби, який задається лічильником кількості нулів, оскільки вихід лічильника 10 нулів заведений на керуючий вхід лічильника 11 кількості розрядів, який відповідає за зупинку лічби, тому, коли лічильник 10 нулів підрахує $(n-k+1)$ нулів, на його виході встановлюється одиниця, цей сигнал надходить на керуючий вхід перетворювача 9, що зупиняє передавання біноміальної комбінації та на керуючий вхід лічильника 11 кількості розрядів, що зупиняє роботу лічильника 11, таким чином модуль лічби

лічильника 11 кількості розрядів буде належати проміжку $(n-k+1) \leq r \leq n$, де r - кількість розрядів, підрахована лічильником 11 кількості розрядів, тому для визначення максимальної кількості виходів лічильника 11 кількості розрядів застосовується наступна формула:

$$f = \log_2[n].$$

- 5 Тоді комбінація, що відповідає за стан лічильника 11 кількості розрядів з'являється на його 1, 2, ..., f -му виходах, вона відповідно надходить на 1, 2, ..., f -й входи дешифратора 12. Після чого, в залежності від комбінації на входах дешифратора 12 його виходи можуть бути встановлені в один з $(k-1)$ дозволених станів, причому номери виходів дешифратора 12, на яких з'являються одиничні сигнали, будуть адресувати номери r_n -х розрядів біноміальних комбінацій, що підлягають перетворенню, ці номери задаються параметрами біноміальних комбінацій n та k і належать проміжку $(n-k+1) < r_n \leq n$. Тобто, після того, як дешифратор 12 буде встановлений в один з дозволених станів і на його $(n-k+i)$ -му виході з'явиться сигнал високого рівня, він надійде на другий вхід елемента АБО 13.і, а на його першому виході буде сигнал низького рівня з виходу елемента АБО 13.і-1, тоді на виході елемента АБО 13.і встановлюється сигнал високого рівня, який надходить на перший вхід елемента АБО 13.і+1, що встановлює його вихід в одиничний стан і далі в такий спосіб встановлюється сигнал високого рівня на виходах елементів АБО 13.і-13.к-2 і надходить на другі входи елементів ВИКЛЮЧНЕ-АБО 14.і-14.к-1, що дає дозвіл на перетворення відповідних розрядів біноміальної комбінації. Тоді як на другий вхід елемента ВИКЛЮЧНЕ-АБО 14.1 надходить сигнал з $(n-k+1)$ -го виходу дешифратора 12, а на другий вхід елемента ВИКЛЮЧНЕ-АБО 14.2 надходить сигнал з виходу елемента АБО 13.1, на перші входи елементів ВИКЛЮЧНЕ-АБО 14.1-14.к-1 надходять сигнали відповідно від 1', 2', ..., $(k-1)$ -го виходів суматора 7.1, якщо на другі входи елементів ВИКЛЮЧНЕ-АБО 14.2-14.к-1 надійшов одиничний сигнал від елементів АБО 13.1-13.к-2, а на перші входи надходить нульовий сигнал з виходів суматора 7.1, то на виході відповідних елементів ВИКЛЮЧНЕ-АБО 14.2-14.к-1 встановлюються одиничні сигнали, тобто всі розряди біноміальної комбінації починаючи з r_n , які дорівнювали

00...000

нулю, стануть рівні одиниці, інші розряди, залишаються без змін, тобто комбінація 00...000 буде

00...00011...111

перетворена в комбінацію 00...00011...111. Тоді сигнали з виходів елементів ВИКЛЮЧНЕ-АБО 14.1-14.к-1 надходять на відповідні 1', 2', ..., і, ..., $(k-1)$ -й входи регістра 15, на входи 1, ..., j, ..., $(n-k+1)$ -й якого надходить сигнал від 1, ..., j, ..., $(n-k+1)$ -х виходів суматора 7.1, після чого

00...00011...111

- 30 квазірівноважна комбінація з параметрами n та $k-1$, що матиме наступний вид - 00...00011...111 у послідовному вигляді зчитується з виходу 16 регістра 15, який є виходом пристрою. Таким чином, лічильник 10 нулів та лічильник 11 кількості розрядів керують процесом перетворення комбінацій, що містяться на виходах суматора 7.1, у комбінації квазірівноважного коду за рахунок контролю кількості нулів в них і кількості розрядів r , $(n-k+1) \leq r \leq n$, якщо лічильник 10 нулів підраховує $(n-k+1)$ нулів і кількість розрядів r підрахована лічильником 11 кількості розрядів буде належати проміжку $(n-k+1) \leq r < n$, то комбінація буде зазнавати відповідних змін в розрядах починаючи з $(r+1)$ -го, у випадку коли кількість розрядів $r=n$, комбінації біноміального коду будуть без змін заноситися до регістру 15.

- 40 Наступний стан перетворювача кодів, коли на 1-му виході суматора 7,1 відповідно міститься одиничний сигнал, який проходить через елемент АБО 6.і-1 на вхід елемента І 4.і. Оскільки з j -го виходу суматора 7.і та прямого виходу тригера 2.і надходять нульові сигнали на елемент АБО 1.і, тоді елемент І 5.і закритий нульовим сигналом, а елемент І 4.і відкритий одиничним сигналом з елемента ІІ 3.і. Тому тактовий сигнал, що надходить на вхідну шину 8, встановлює тригер 2.і в одиничний стан, відповідно на другому виході суматора 7,1 з'являється одиничний сигнал, і на другій групі виходів міститься комбінація 01...000, яка знову надходить на інформаційні входи перетворювача 9 паралельного коду в послідовний, після чого аналогічним

01..00...1

чином комбінація 01...000 буде перетворена у комбінацію 01..00...1. Аналогічним чином будуть сформовані решта квазірівноважних комбінацій згідно з заданими параметрами n та k .

- 50 В табл. наведена відповідність рівномірних біноміальних кодових комбінацій з параметрами $n=5$ та $k=4$, що з'являються на другій групі виходів суматора 7,1 квазірівноважним комбінаціям з параметрами $n_k=5$, $k_1=4$, $k_2=3$, що у послідовному вигляді з'являються на виході 16 пристрою.

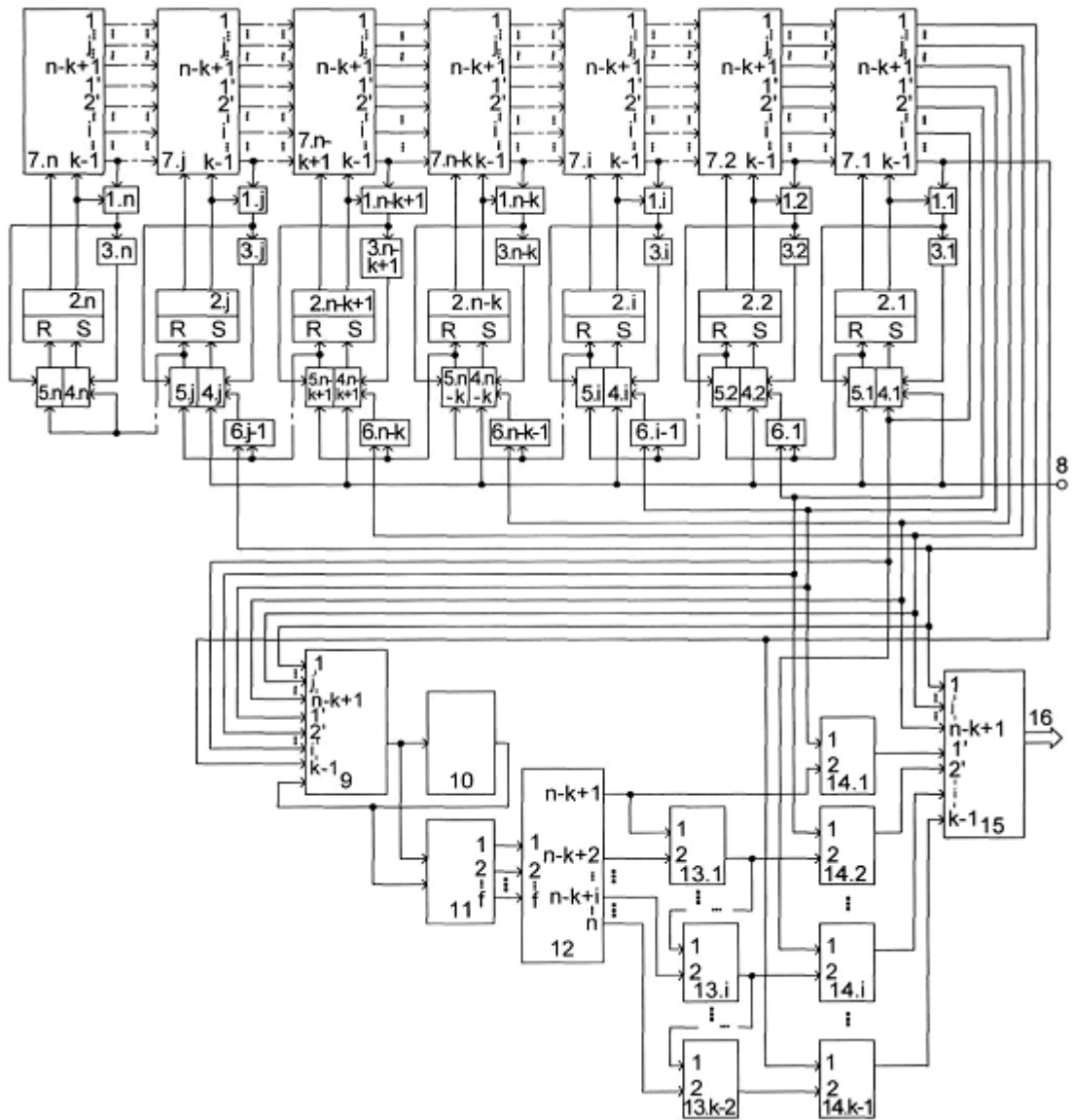
Таблиця

Номер комбінації	Рівномірна біноміальна кодова комбінація з параметрами $n=5$ та $k=4$					Квазірівноважна кодова комбінація $n_k=5$, $k_1=4$, $k_2=3$.				
0	0	0	0	0	0	0	0	1	1	1
1	0	1	0	0	0	0	1	0	1	1
2	0	1	1	0	0	0	1	1	0	1
3	0	1	1	1	0	0	1	1	1	0
4	0	1	1	1	1	0	1	1	1	1
5	1	0	0	0	0	1	0	0	1	1
6	1	0	1	0	0	1	0	1	0	1
7	1	0	1	1	0	1	0	1	1	0
8	1	0	1	1	1	1	0	1	1	1
9	1	1	0	0	0	1	1	0	0	1
10	1	1	0	1	0	1	1	0	1	0
11	1	1	0	1	1	1	1	0	1	1
12	1	1	1	0	0	1	1	1	0	0
13	1	1	1	0	1	1	1	1	0	1
14	1	1	1	1	1	1	1	1	1	0

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

5

Перетворювач кодів, що містить вхідну шину і n розрядів, кожен з яких містить тригер, два елементи І, перший елемент АБО, елемент НІ і суматор, а в розряди з другого по k -й, де k - контрольне число, менше числа розрядів, але більше нуля, введений другий елемент АБО, перша група входів суматора з'єднана з прямим і інверсним виходами тригера, входи установки в одиницю і в нуль якого з'єднані відповідно з виходами першого і другого елементів І, перший вхід другого елемента І з'єднаний з входом елемента НІ, вихід якого з'єднаний з першим входом першого елемента І, другі входи першого і другого елементів І кожного розряду, починаючи з $(k+1)$ -го, з'єднані з виходом другого елемента І попереднього розряду, друга група входів суматора якого з'єднана з виходами суматора подальшого розряду, вхідна шина з'єднана з другими входами першого і другого елементів І першого розряду, у кожному розряді перший і другий входи, а також вихід першого елемента АБО з'єднані відповідно з прямим виходом тригера, виходом суматора, що відповідає k -му числу, і з входом елемента НІ, вихід другого елемента АБО з'єднаний з другим входом першого елемента І, третій вхід якого з'єднаний з вхідною шиною, перший вхід другого елемента АБО з'єднаний з виходом другого елемента І попереднього розряду, входи суматора першого розряду, відповідні числам з "0" по $(k-1)$, з'єднані відповідно з другими входами других елементів АБО з k -го розряду по другий і з третім входом першого елемента І першого розряду, який **відрізняється** тим, що додатково введені перетворювач паралельного коду в послідовний, інформаційні входи якого, з'єднані з другою групою виходів суматора першого розряду відповідно, лічильник нулів та лічильник кількості розрядів, перші входи яких з'єднані з виходом перетворювача паралельного коду в послідовний, вихід лічильника нулів з'єднаний з керуючими входами перетворювача паралельного коду в послідовний та лічильника кількості розрядів, дешифратор, на входи 1, 2, ..., f -й, де $f=\log_2[n]$, якого заведені відповідно 1, 2, ..., f -й входи лічильника кількості розрядів, група $(k-2)$ -х елементів АБО, на перший вхід першого елемента АБО цієї групи заведений вихід дешифратора $(n-k+1)$, на другі входи цієї групи елементів АБО заведені $(n-k+2)$, $(n-k+i)$, ..., n -й входи дешифратора відповідно, а входи кожного попереднього елемента групи $(k-2)$ -х елементів АБО з'єднані з першими входами подальших елементів АБО цієї групи відповідно, група $(k-1)$ елементів ВИКЛЮЧНЕ-АБО, на перші входи яких заведені друга група виходів суматора першого розряду відповідно, а на другі входи, починаючи з другого елемента цієї групи елементів ВИКЛЮЧНЕ-АБО, заведені входи групи $(k-2)$ -х елементів АБО відповідно, тоді як на другий вхід першого елемента ВИКЛЮЧНЕ-АБО заведений $(n-k+1)$ -й вихід дешифратора, регістр, входи 1', 2', ..., i , ..., $(k-1)$ -й якого з'єднані з виходами групи елементів ВИКЛЮЧНЕ-АБО відповідно та на 1, 2, ..., j , ..., $(n-k+1)$ -й входи якого заведені 1, 2, ..., j , ..., $(n-k+1)$ -й входи другої групи виходів суматора першого розряду, а вихід регістра є виходом пристрою.



Комп'ютерна верстка Л. Бурлак

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601